

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-265964

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/28

H 0 1 L 23/28

A

21/56

21/56

T

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平10-67330

(22) 出願日 平成10年(1998) 3月17日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 兵藤 治雄

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 谷 孝行

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

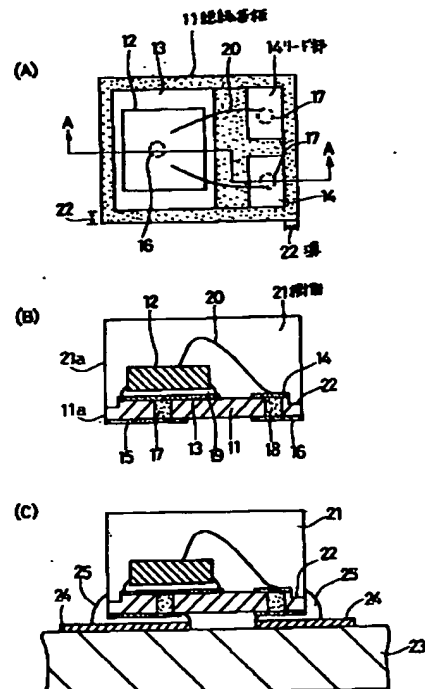
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 実装面積を縮小した小型のパッケージを得ると共に、実装時の半田の吸着による事故を回避した、半導体装置を提供する。

【解決手段】 絶縁基板11の表面にアイランド部13とリード部14を形成し、スルーホール17、18を介して外部電極15、16と電気的に接続する。アイランド部13に半導体チップ12を搭載し、リード部14とワイヤボンダする。半導体チップ12上を樹脂21で被覆し、ダイシングすることで絶縁基板11の外周端面11aと樹脂21の外周端面21aとを連続した同一水平面とする。外周端面11a付近からアイランド部12とリード部13の金メッキ層を後退させる。



【特許請求の範囲】

【請求項1】 その表面に導電体パターンによってアイランド部とリード部とを形成した絶縁性の基板と、前記アイランド部に搭載した半導体チップと、前記半導体チップの電極と前記リード部とを電氣的に接続する手段と、

前記絶縁性の基板の上に設けられて前記半導体チップ及び前記アイランド部と前記リード部とを被覆する絶縁樹脂層と、

前記絶縁基板の裏面側に形成され、前記アイランド部またはリード部と電氣的に接続された外部電極と、

前記絶縁基板の外周端面と、

前記絶縁樹脂の外周端面とを具備し、

前記絶縁基板の外周端面と前記絶縁樹脂の外周端面とがほぼ一致し、

前記アイランド部と前記リード部の導電体パターンが前記外周端面より内側に位置し、

前記外周端面付近では前記絶縁性の基板の素材と前記絶縁樹脂とが密着していることを特徴とする半導体装置。

【請求項2】 前記外周端面が前記絶縁樹脂と前記絶縁基板とを同時に切断した切断面で構成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記外周端面付近に溝を設けたことを特徴とする請求項1記載の半導体装置。

【請求項4】 その表面に複数の半導体素子を形成するための導電体パターンを形成した、絶縁性の基板を準備する工程と、

前記導電体パターンを前記絶縁性の基板の端から後退させる工程と、

前記導電体パターンに半導体チップを固着する工程と、

前記半導体チップを被覆するように前記絶縁基板の上部を樹脂で被覆する工程と、

前記半導体チップの周囲で、前記樹脂と前記絶縁基板とを切断して前記半導体素子を個々に分離する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項5】 前記導電体パターンを前記絶縁性の基板の端から後退させる工程がダイシングによることを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特にパッケージ外形を縮小し、実装面積を低減できる半導体装置に関する。

【0002】

【従来の技術】 半導体装置の製造におけるパッケージングの技術には、金型と樹脂注入によるトランスファーモールドが多用されている。このトランスファーモールド技術にはリードフレームが用いられており、1本のリードフレームで複数の半導体装置を同時に製造することになる。

【0003】 図5(A)はトランスファーモールド工程を示す図である。ダイボンド、ワイヤボンドにより半導体チップ1をリードフレーム2に固着し、上下金型3A、3Bで形成したキャビティ4の内部にリードフレーム2を設置し、キャビティ4内にエポキシ樹脂を注入することにより、半導体チップ1の封止が行われる。このようなトランスファーモールド工程の後、リードフレーム2を各半導体チップ1毎に切断して、個別の半導体装置が製造される。

【0004】 図5(B)は、トランスファーモールドによって製造した半導体装置を示す図である。トランジスタ等の素子が形成された半導体チップ1がアイランド5上に半田等のろう材6によって固着実装され、半導体チップ1の電極パッドとリード7とがワイヤ8で接続され、半導体チップ1の周辺部分が上記キャビティの形状に合致した樹脂9で被覆され、樹脂9の外部にリード7の先端部分が導出されたものである。

【0005】

【発明が解決しようとする課題】 従来のリードフレームとトランスファーモールドを用いたパッケージでは、外部接続用のリード端子を樹脂から突出させるので、リード端子の先端部までの距離を実装面積として考慮しなくてはならず、樹脂の外形寸法より実装面積の方が遙かに大きくなるという欠点がある。

【0006】 そのため、外部接続リードに半田バンプなどを用いることで外形寸法と実装面積とをほぼ等しくするような手法や、実装基板上にベアチップを直接ダイボンドする方法等が提案されている。このような命題に対し、本願出願人は、絶縁基板とダイシング技術を用いることにより、実装面積を大幅に低減した半導体装置の特願平9-262160号に提案した。

【0007】 斯かる装置は、図6を参照して、第1の絶縁基板51に導電パターンによりアイランド部52とリード部53を設け、半導体チップ54をダイボンド、ワイヤボンドし、第2の絶縁基板55の裏面に外部電極56を設け、更に第2の絶縁基板55の4隅に導電メッキを施した切り欠き57を設けて外部電極56と接続し、該外部電極56とアイランド部52及びリード部53とを中間の導電パターン58とスルーホール59とにより電氣的に接続したものである。パッケージの外形寸法は金型のキャビティで決めるのではなく、半導体チップ54の周囲で樹脂60と共にダイシングで切断することにより形成している。これを実装するときは、切り欠き57内面に露出する導電メッキ層と共に第2の絶縁基板55裏面に形成した外部電極56を電極として、実装基板上に半田で接着するものである。この構造は、リード端子が突出しないので、実装面積を大幅に低減する事ができる。尚、図6(B)は図6(A)のBB線断面図である。

【0008】 しかしながら、斯かる構造では樹脂60と

第1の絶縁基板51の境界部分にアイランド部52とリード部53の導電パターンの端面が露出した構造となる。導電パターンに用いる金(Au)は半田との塗れ性が極めて高いため、実装用の半田が前記導電パターンの端面に達すると半田を吸着してしまい、第1の絶縁基板51と樹脂60との境界に半田が侵入して剥がれ不良を生じることが明らかになった。

【0009】

【課題を解決するための手段】本発明は、上述した各事情に鑑みて成されたものであり、第1に、共通の絶縁基板上に複数の半導体チップを搭載し、半導体チップを樹脂で封止し、半導体チップを囲むように樹脂と絶縁基板とをダイシング・切断することにより、装置の外形寸法及び実装面積を大幅に低減できる半導体装置を提供するものである。

【0010】第2に、絶縁基板の表面に形成した導電パターンを、絶縁基板の外周端面から内側に後退させることにより、導電パターンが露出することを防止し、もって実装時の半田が樹脂と絶縁基板との界面に吸着される現象を防止するものである。

【0011】

【発明の実施の形態】以下に本発明の実施の形態を詳細に説明する。図1は本発明の半導体装置を示す(A)平面図、(B)AA線断面図である。この半導体装置は、板厚が各々250〜350μmのセラミックやガラスエポキシ等からなる絶縁基板11と、基板11の上に搭載され、トランジスタ素子などを形成した半導体チップ12とを有する。

【0012】絶縁基板11の表面には、金メッキ層によってアイランド部13とリード部14とが形成されており、絶縁基板11の裏面にも金メッキ層により外部電極15、16が形成されている、アイランド部13とリード部14には絶縁基板11を貫通するスルーホール17、18が設けられ、この内壁にも金メッキ層等が設けられて、表面のアイランド部13、リード部14と外部電極15、16とを電気的に接続している。これにより、外部電極15がトランジスタのコレクタ電極となり、外部電極16が各々トランジスタのベース、エミッタに対応する。

【0013】そして、半導体チップ12はアイランド部13に銀ペーストや金シリコン共晶等の接着剤19によって固着されており、半導体チップ12表面に形成したボンディングパッドとリード部14とが、ワイヤ20でワイヤボンディングされている。これらの半導体チップ12とワイヤ20を被覆するように、絶縁基板11の上にエポキシ系の絶縁樹脂21を形成してこれを封止し、略直方体のパッケージを形成している。

【0014】パッケージの外形は、上面が樹脂21により、下面が絶縁基板11の裏面により、そして4つの側面が樹脂21と絶縁基板11の外周端面11a、21a

によって各々構成される。樹脂21の外周端面21aと絶縁基板11の外周端面11aとは連続する同一水平面を成している。そして、絶縁基板11の表面に形成したアイランド部13とリード部14の金メッキ層は、絶縁基板11の外周端面11aには達せず、基板11の全周にわたって、その端部から30〜70μmの距離だけ後退されている。後退された箇所には、絶縁基板11の外周端面11aに沿って半導体チップ12の周囲を囲むように幅が30〜70μm、深さ100μm程度の溝22が形成されている。

【0015】図1(C)は、斯かる装置を実装した状態を示す断面図である。実装基板23上に形成された回路網形成用のプリント配線24に、装置の外部電極15、16を位置あわせして、半田により装置が固着される。半田25は表面張力によって端部に盛り上がって半田フィレット25を形成する。本発明の半導体装置であれば、アイランド部13とリード部14を後退させたことにより、樹脂21と絶縁基板11との境界部分の側面に金メッキ層が露出しないので、半田フィレット25の半田を吸収することもなく、樹脂21が剥離する事故を回避できる。また、溝22を設けたことにより絶縁基板11と樹脂21との密着面積が増大するので、両者の接着強度を増大できる。

【0016】以上に説明した半導体装置は、以下の方法によって得ることができる。

第1工程：図2(A)参照

まずは装置複数個分に対応する大判の絶縁基板11を準備する。絶縁基板11の表面には金メッキ層によりアイランド13とリード部14に対応するパターンが歯状の連続パターンで描画されている。絶縁基板11の裏面にも同様の連続パターンで外部電極15、16に対応する金メッキ層が形成される。アイランド13とリード部14の絶縁基板11には外部電極15、16と電氣的接続を取るためのスルーホール16、17が設けられている。この段階では、アイランド部13とリード部14とは分離していない連続したパターンである。

【0017】絶縁基板11に対して、多数の半導体チップ12をダイボンディングし、チップ上に形成したボンディングパッドとリード部14とをボンディングワイヤ20で接続する。同図において、ダイシングライン26で囲まれた領域が1つの半導体装置として後に切り出されることになる。

第2工程：図2(B)

ダイシングライン26を中心線として、これに沿うよう幅50〜80μm、深さ約100μmの溝22を形成する。溝22はダイシングブレードを用いて金メッキ層と共に絶縁基板11表面をダイシングすることによって形成する。これにより、溝22を形成すると同時にアイランド部13とリード部14をダイシングライン26から後退させることができる。

【0018】第3工程：図3（A）

絶縁基板11の上にポッティングなどの手法により樹脂21を形成する。樹脂21は半導体チップ12を個別に被覆するものではなく、複数の半導体チップ12を連続した樹脂層で一括して被覆する。例えば一枚の絶縁基板11に50個の半導体チップ12を搭載した場合は、50個全てのチップを一括して被覆する。

【0019】第4工程：図3（B）

ダイシングブレード27により、ダイシングライン26に沿って樹脂12と絶縁基板11を同時に切断し、個々の半導体装置に分離する。この工程では溝22の幅よりも板厚が狭いダイシングブレードを用いており、これによって絶縁基板11の外周端面11aに溝22を残し、アイランド部13とリード部14との金メッキ層が樹脂21の外周端面21aに露出しない構造を得ることができる。更に、ダイシングによってパッケージの4つの側面を構成することにより、それらの切断面（外周端面25、26、27）が同一平面で構成される。

【0020】以上の方法によって製造された半導体装置は、以下のメリットを有する。多数個の素子をまとめて樹脂でパッケージングするので、個々にパッケージングする場合に比べて、無駄にする樹脂材料を少なくでき、材料費の低減につながる。モールド金型とリードフレームとの位置合わせ精度がプラス・マイナス50μ程度であるのに対して、ダイシング装置の位置合わせ精度はプラス・マイナス10μ程度と精度が高い。従って樹脂外形をダイシングで形成すれば、アイランド部13から樹脂21の切断面までの肉厚を薄くして、より外形寸法の小さなパッケージを得ることができるほか、同じ外形寸法で比較すればアイランド部13の面積を増大して、搭載可能な半導体チップ12を大型化できる。

【0021】尚、ダイシングで溝22を形成する手段に代えて、アイランド部13とリード部14のパターンを形成する際に、あらかじめダイシングライン26から後退させたパターンで形成することでも同様の構造を得る

ことができる。更に図4に示したように、溝22の形成と同時にアイランド部13とリード部14との間の空白部分にも溝22aを形成することにより、樹脂との密着強度を更に向上することも可能である。

【0022】本実施形態では、半導体チップ12にトランジスタを形成したが、縦型或いは比較的発熱量の少ない横型のデバイスであればこれに限らず、例えば、パワーMOSFET、IGBT、HBT等のデバイスを形成した半導体チップであっても、本発明に応用できることは説明するまでもない。

【0023】

【発明の効果】以上に説明したように、本発明によれば、リードフレームを用いた半導体装置よりも更に小型化できるパッケージ構造を提供できる利点を有する。このとき、リード端子が突出しない構造であるので、実装したときの占有面積を低減し、高密度実装を実現できる。

【0024】更に、絶縁基板11と樹脂21との境界部分に金メッキ層が露出しない構成としたので、実装時の半田が境界部分に吸いこまれて樹脂21が剥離する事故を回避することができる。加えて、絶縁基板11の外周部分に溝22を形成することにより、絶縁基板11と樹脂21との密着力を増大でき、溝22をダイシングで形成することにより、金メッキ層の後退と溝22の形成を同時に実施することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置を示す（A）平面図、（B）断面図、（C）断面図である。

【図2】製造方法を説明するための平面図である。

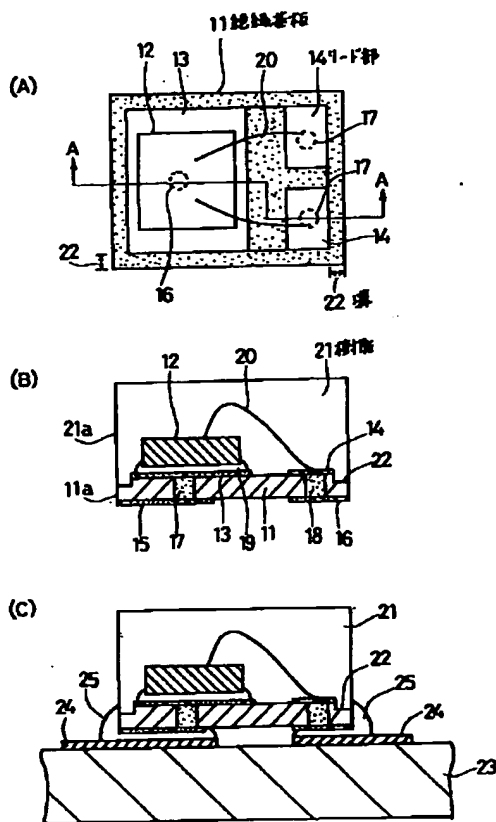
【図3】製造方法を説明するための断面図である。

【図4】他の実施の形態を示す（A）平面図、（B）断面図である。

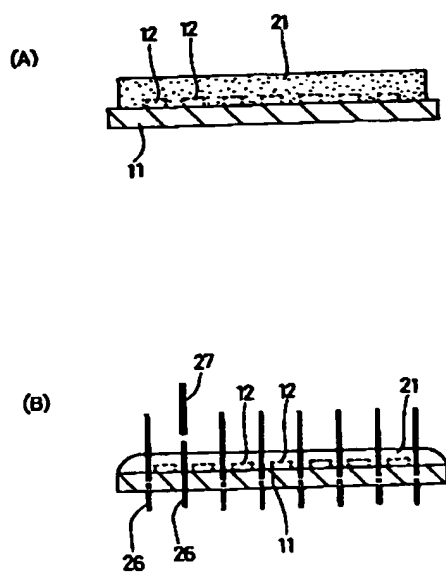
【図5】従来例を説明する断面図。

【図6】半導体装置を示す（A）平面図（B）断面図である。

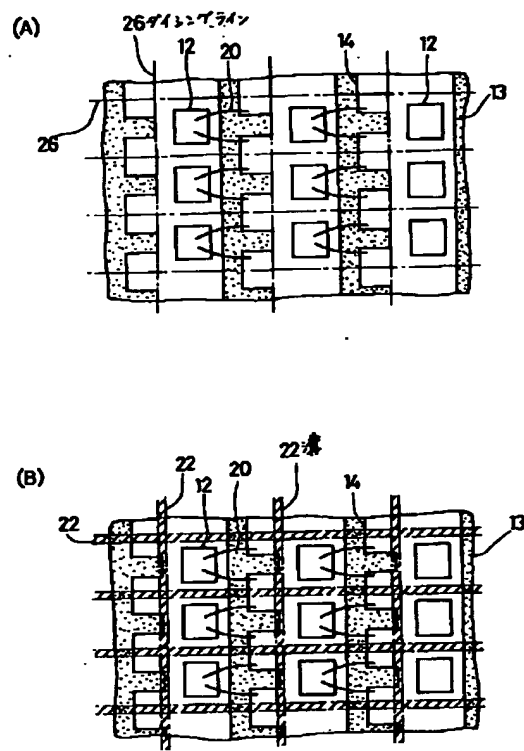
【図1】



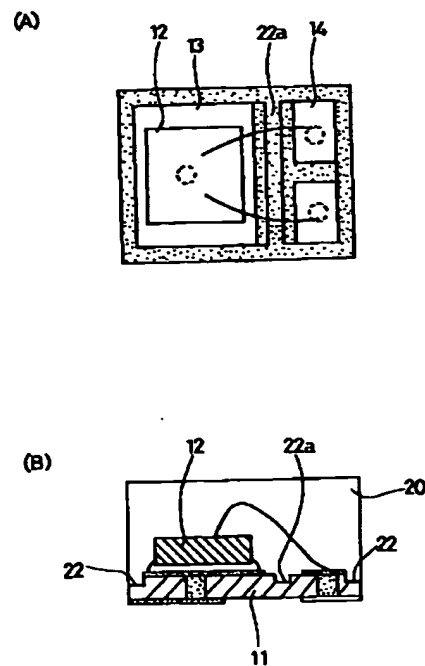
【図3】



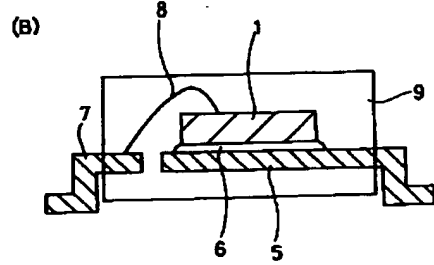
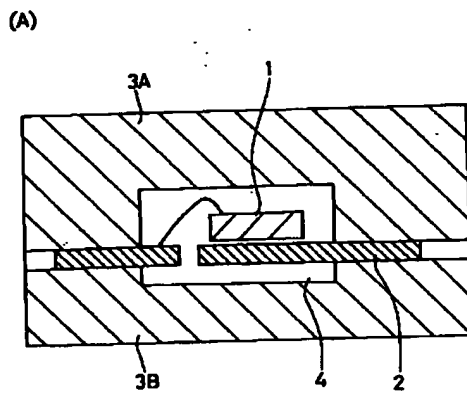
【図2】



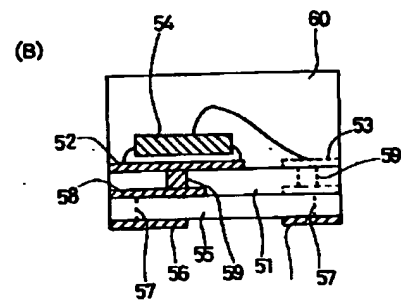
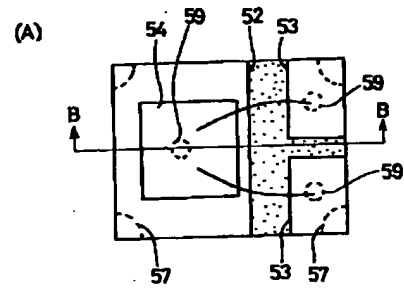
【図4】



【図5】



【図6】



DERWENT-ACC-NO: 1999-606755

DERWENT-WEEK: 200003

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Wiring structure in semiconductor
package - has gold@
plating layer of island and lead
portions formed from
peripheral endface of insulated
substrate

PATENT-ASSIGNEE: SANYO ELECTRIC CO LTD[SAOL]

PRIORITY-DATA: 1998JP-0067330 (March 17, 1998)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	
LANGUAGE		MAIN-IPC	
JP 11265964 A		September 28, 1999	N/A
006	H01L 023/28		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 11265964A	N/A	
1998JP-0067330	March 17, 1998	

INT-CL (IPC): H01L021/56, H01L023/28

ABSTRACTED-PUB-NO: JP 11265964A

BASIC-ABSTRACT:

NOVELTY - The island (13) and lead portions (12, 14) are formed on surface of an insulated substrate (11). A semiconductor chip is mounted on the island portion. The peripheral end faces (11a, 21a) of the substrate and that of resin layer (21) are made in accord by dicing of resin layer. A gold-plating layer of an island (13) and lead portions is formed inwardly from end face of

substrate.

DETAILED DESCRIPTION - A wire electrically connects the lead portion and electrode of the chip. An insulated resin layer (21) which covers the chip, island portion and lead portion is provided on the substrate. External electrodes (15, 16) formed on the back side of the substrate are electrically connected to the island or lead portion.

An INDEPENDENT CLAIM is also included for wiring formation method in semiconductor package.

USE - In semiconductor package.

ADVANTAGE - Obtains small-sized package with reduced mounting area. Avoids accident by adsorption of solder during mounting, as plating layer does not expose to boundary.

DESCRIPTION OF DRAWING - The figure shows top and sectional views of semiconductor device. (11) Insulated substrate; (11a, 21a) Peripheral end faces; (12, 14) Lead portions; (13) Island; (15, 16) External electrodes; (21) Resin layer.

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS: WIRE STRUCTURE SEMICONDUCTOR PACKAGE GOLD@
PLATE LAYER ISLAND LEAD
PORTION FORMING PERIPHERAL ENDFACE INSULATE
SUBSTRATE

DERWENT-CLASS: A85 L03 U11

CPI-CODES: A11-B05; A12-E07C; A12-W05; L04-C20D; L04-F01;

EPI-CODES: U11-D03B2;

ENHANCED-POLYMER-INDEXING:
Polymer Index [1.1]
018 ; P0000

Polymer Index [1.2]

018 ; ND01 ; K9416 ; K9676*R ; K9552 K9483 ; Q9999
Q7476 Q7330 ;
B9999 B5425 B5414 B5403 B5276

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1999-176870

Non-CPI Secondary Accession Numbers: N1999-447813